

Zależność czasu trwania cyklu sieci od budowy wewnętrznej koncentratora danych protokołu Modbus

Łukasz Herb

1. Wprowadzenie

Projektując system sterowania, należy przede wszystkim określić topologię sieci, która umożliwi sprawną wymianę danych pomiędzy węzłami. Należy wówczas wziąć pod uwagę m.in. liczbę węzłów, których dane mają być wymieniane, ograniczenia czasowe dotyczące cyklu sieci oraz dostępne urządzenia i protokoły przez nie obsługiwane. W przypadku, gdy dla projektowanego systemu powstają dedykowane urządzenia sieciowe, możliwe jest dostosowanie ich architektury sprzętowej do określonej topologii sieci.

W tym artykule przedstawiony zostanie wpływ architektury sprzętowej koncentratorów danych protokołu Modbus, komunikujących się z urządzeniami podrzędnymi za pośrednictwem magistrali RS485, na czas trwania cyklu sieci. Przedstawiona zostanie wymagana liczba dostępnych w urządzeniu portów szeregowych, aby cykl sieci był krótszy niż w przypadku topologii magistrali.

W celu porównania parametrów sieci z koncentracją oraz topologii magistrali zaproponowano ich cyfrowe modele oraz przeprowadzono symulacje w środowisku Omnet++.

2. Rola koncentratora w systemie sterowania

Koncentrator to element sieciowy pośredniczący w komunikacji pomiędzy węzłami podrzędnymi, których liczba uzależniona jest od liczby jego portów dolnych, a systemem nadrzędnym komunikującym się z portem górnym. Ponieważ zastosowano protokół Modbus, wymiana danych polega na odczycie oraz zapisie rejestrów pamięci.

2.1. Konfiguracja scenariusza wymian

Zanim koncentrator zostanie podłączony do sieci, wymagana jest jego konfi-

guracja. Polega ona na przesłaniu scenariusza wymian opisanego parametrami:

- numer portu dolnego, do którego podłączono urządzenie;
- kierunek wymiany (zapis lub odczyt);
- liczba rejestrów, których dotyczy wymiana;
- adres pierwszego z wymienianych rejestrów w pamięci urządzenia podrzędnego;
- adres pierwszego z wymienianych rejestrów w pamięci koncentratora;
- adres pierwszego rejestru stanów bezpiecznych wysyłanych w przypadku utraty komunikacji z systemem nadrzędnym (tylko przy wymianie zapisującej do urządzenia podrzędnego).

Koncentrator realizuje zapisany scenariusz w nieskończonej pętli, dokonując wymiany danych pomiędzy podłączonymi węzłami a własną pamięcią. Odczyt pamięci możliwy jest w każdej chwili poprzez port górny, co umożliwia dostęp do aktualnie przechowywanego stanu podłączonych urządzeń.

Zastosowanie koncentratora eliminuje konieczność kolejnego odpytywania wszystkich węzłów, co ma miejsce w topologii magistrali. Ponieważ rejestry urządzeń podłączonych do koncentratora mapowane są do wskazanych rejestrów w jego pamięci, możliwe jest jednoczesne odczytanie wszystkich wymienionych danych. Należy zwrócić uwagę, że są to dane aktualnie przechowywane w pamięci koncentratora, a ich maksymalny wiek odpowiada długości cyklu sieci. Są zatem starsze niż aktualnie znajdujące się w urządzeniu *slave* o czas realizacji całego scenariusza wymian przez koncentrator.

W analizowanym przypadku wszystkie porty dolne koncentratora połączone z urządzeniami podrzędnymi, zatem

Streszczenie: W niniejszym artykule przedstawiono wpływ architektury sprzętowej koncentratorów danych protokołu Modbus na czas trwania cyklu sieci w zaproponowanych modelach systemów. Oszacowanie parametrów sieci dla systemu o topologii magistrali oraz systemu z koncentratorem umożliwiło wskazanie zależności wymaganych zasobów sprzętowych od liczby węzłów w sieci, dla których pojawia się zysk wynikający ze stosowania koncentracji.

Słowa kluczowe: Modbus, RS485, koncentrator, Omnet++.

NETWORK CYCLE TIME DEPENDENCE OF THE MODBUS RTU DATA HUB HARDWARE ARCHITECTURE

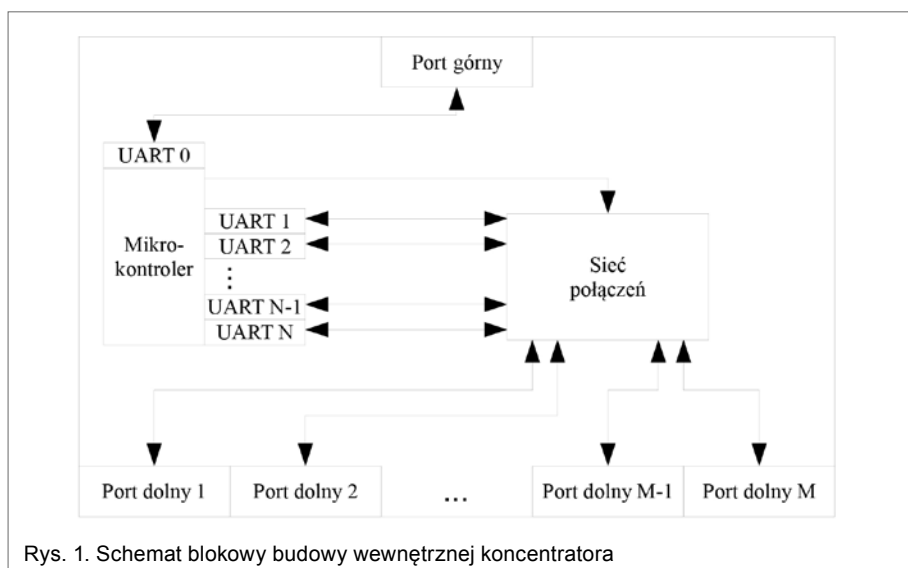
Abstract: This paper presents an influence of the Modbus data hub's hardware architecture on network cycle time in proposed systems models. Features of the Modbus protocol, network microprocessor devices and a way to simulate it in Omnet++ software are presented. Estimated parameters of the network for system in bus topology and system with the hub allowed to show the dependency between required hardware configuration and the number of nodes in the network that provide profits from using the hub.

Keywords: Modbus, RS485, hub, Omnet++.

czas cyklu sieci jest równy czasowi realizacji scenariusza wymian.

2.2. Budowa wewnętrzna

Czas realizacji scenariusza wymian jest silnie związany z budową wewnętrzną



Rys. 1. Schemat blokowy budowy wewnętrznej koncentratora

urządzenia mikroprocesorowego, jakim jest koncentrator, oraz zaimplementowanymi w nim algorytmami komunikacji. Schemat blokowy na rys. 1 przedstawia elementy wchodzące w skład tego systemu. Wyróżnić należy dwa bloki wewnętrzne: mikrokontroler i sieć połączeń,

oraz zewnętrzne: porty dolne oraz port górny.

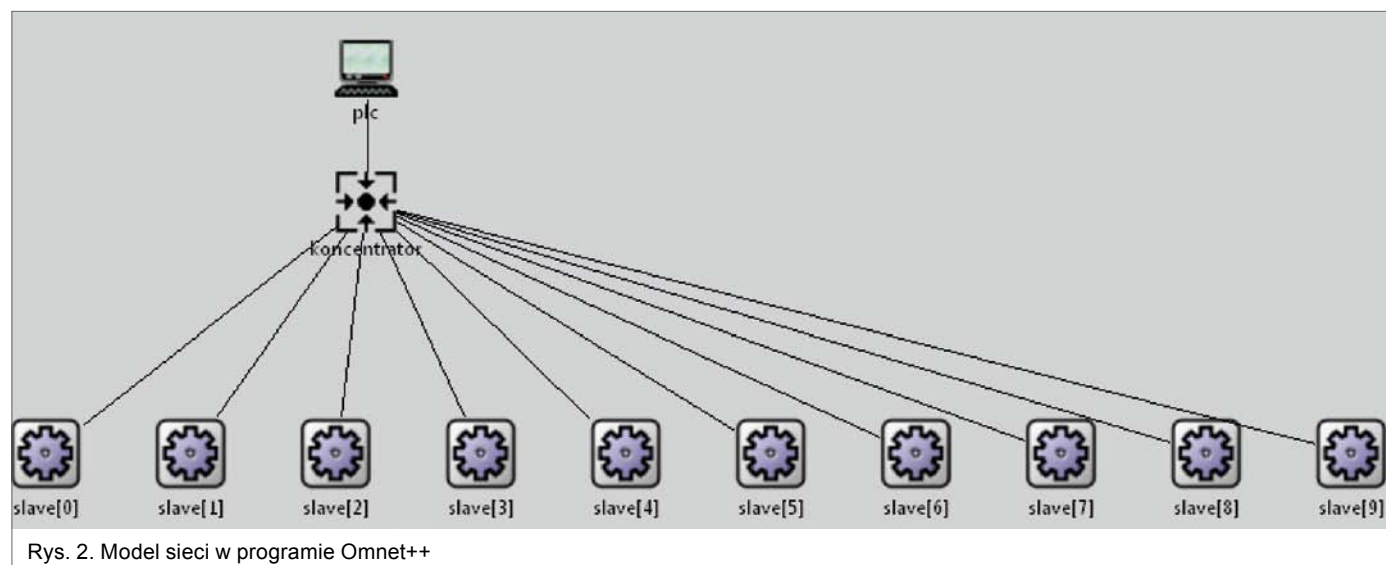
Mikrokontroler jest elementem elektronicznym zbudowanym z rdzenia mikroprocesora odpowiedzialnego za realizację zapisanych w pamięci algorytmów oraz układów peryferyjnych, takich jak

porty szeregowo, pamięć programu i danych itp. To przede wszystkim od ilości portów szeregowych (ang. UART – *Universal Asynchronous Receiver and Transmitter*) zależy algorytm komunikacji na portach dolnych.

Porty dolne oraz port górny są wyprawdzeniami sygnałów komunikacji na zewnątrz urządzenia. W opisywanym przypadku są to, oparte o scalone sterowniki, interfejsy magistrali RS485.

Sieć połączeń realizuje komunikację pomiędzy mikrokontrolerem a portami dolnymi. W najprostszym przypadku liczba portów dolnych jest mniejsza bądź równa liczbie kontrolerów UART (nie wliczając kontrolera połączonego z portem górnym), co pozwala na ich bezpośrednie połączenie. W przypadku zastosowania większej liczby portów dolnych sieć połączeń odpowiada za przełączanie komunikacji pomiędzy portami szeregowymi a portami dolnymi tak, by przez każdy z nich nawiązana została komunikacja. Algorytm przełączania realizowany jest przez mikrokontroler, który sygnałami sterującymi wpływa na pracę sieci połączeń. W roli sieci połączeń sto-

reklama



Rys. 2. Model sieci w programie Omnet++

sowane mogą być układy logiki programowalnej CPLD lub bogatsze w zasoby FPGA, które dodatkowo pozwalają na realizację kolejnych kontrolerów UART w swojej strukturze.

2.3. Algorytm przełączania komunikacji

Aby możliwa była realizacja scenariusza wymian, w którym zdefiniowano większą liczbę portów dolnych niż dostępna pula kontrolerów UART, zaproponowano algorytm przełączania połączeń. Przez N oznaczono dostępną liczbę kontrolerów portu szeregowego, a przez M liczbę urządzeń podrzędnych, z którymi koncentrator wymienia dane. Mikroprocesor realizuje następujące kroki:

1. Połącz pierwsze N portów dolnych z kontrolerami UART.
2. Wyślij żądanie przez każdy z kontrolerów.
3. Czekaj przez maksymalny możliwy czas trwania najdłuższej z przeprowadzanych aktualnie transakcji.
4. Analizuj odpowiedzi odebrane przez każdy z kontrolerów.
5. Przełącz sieć połączeń według wzoru (1).
6. Przejdź do punktu 2.

$$P_i = (t-1) \bmod M + i, \quad t = 1, 2, \dots \quad (1)$$

gdzie i to numer portu szeregowego, natomiast P_i to odpowiadający mu numer portu dolnego, t numer kolejnej iteracji algorytmu, N oraz M to liczba portów UART oraz portów dolnych.

Zauważyć można, że topologia magistrali odpowiada działaniu koncentratora o jednym porcie UART.

3. Komputerowa symulacja działania sieci

W celu zbadania zachowania sieci zbudowanej z użyciem koncentratorów oraz porównania wyników z siecią o topologii magistrali zbudowano ich cyfrowe modele. Następnie przeprowadzono symulacje wymiany komunikatów w sieciach z różnymi liczbami abonentów oraz różnymi konfiguracjami sprzętowymi koncentratorów.

3.1. Cyfrowy model sieci o protokole Modbus RTU

Protokół Modbus opublikowany został przez firmę Modicon w 1979 roku [1]. Ze względu na otwarty standard i łatwość w implementacji jest on nadal szeroko stosowany w sieciach przemysłowych [3].

Dla potrzeb symulacji przyjęto, że wykorzystywany jest protokół Modbus RTU, a implementowane są jego dwie funkcje:

- odczyt wielu rejestrów (ang. *Read Holding Registers*) kod funkcji 3 h; długość ramki żądania: 8 B; długość ramki odpowiedzi: 5 B + 2 B na każdy odczytywany rejestr;
- zapis wielu rejestrów (ang. *Write Multiple register*) kod funkcji 10 h; długość ramki żądania: 9 B + 2 B na każdy zapisywany rejestr; długość ramki odpowiedzi: 8 B.

Komunikacja odbywa się z wykorzystaniem portu szeregowego z prędkością 115 200 baud. Znak zbudowany jest z 8 bitów danych i jednego bitu stop, nie zastosowano bitu parzystości.

Ponieważ sieć pracuje stabilnie [2], mierzony czas trwania jej cyklu zdefiniowano jako czas pomiędzy kolejnymi

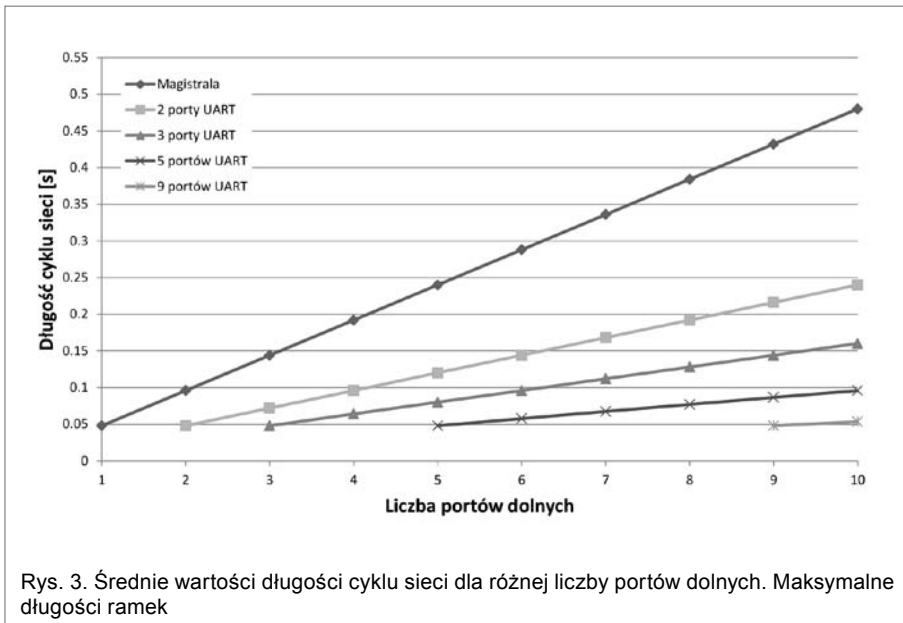
odpowiedziami pierwszego podłączonego węzła.

Na rys. 2 przedstawiono graficzny model sieci wygenerowany przez program Omnet++. Zawiera on modele koncentratora i urządzeń przez niego odpytywanych (w środowisku symulacyjnym przedstawione jako moduły typu *simple*) oraz magistral łączących (kanały komunikacyjne rozszerzające funkcjonalność klasy *DatarateChannel*) zbudowane według wcześniej wymienionych założeń. Moduły umieszczono w elemencie nadrzędnym (*networks*), który je parametryzuje oraz przechowuje informację o połączeniach między nimi.

W celu symulacji układu zdarzeń dyskretnych, jakim jest przedstawiony model sieci, wykorzystano koncepcję planowania zdarzeń (zrealizowaną z użyciem metody *handleMessage* implementowanej przez każdą z klas reprezentujących moduły). Jako zdarzenie przyjęto moment wysłania lub otrzymania komunikatu przez dowolny moduł, a także upływanie czasu oczekiwania na odpowiedź urządzenia.

3.2. Przeprowadzone eksperymenty

Proponowany system wykorzystujący koncentratory porównano z siecią o topologii magistrali. Symulację magistrali przeprowadzono, ograniczając liczbę portów szeregowych dostępnych w mikrokontrolerze koncentratora do jednego, liczba portów dolnych odpowiada natomiast liczbie podłączonych urządzeń *slave*. Konfiguracja taka powoduje kolejne odpytywanie węzłów, jak ma to miejsce w przypadku ich obecności na jednej magistrali.



Czas eksperymentu ustalono na jedną godzinę, co w przypadku najdłuższych możliwych ramek i wybraniu topologii magistrali umożliwia wykonanie 7500 cykli sieci. Zbadano dwa skrajne przypadki: odczyt i zapis jednego rejestru

(wyniki przedstawiono na rys. 3) oraz odczyt i zapis maksymalnej liczby – 125 rejestrów (wyniki prezentuje rys. 4).

Ponadto wygenerowano przypadki mieszane o równej liczbie ramek najdłuższych oraz najkrótszych w dwóch

konfiguracjach różniących się konstrukcją scenariusza wymian. Naprzemienne rozmieszczenie transakcji długich oraz krótkich jest przykładem błędnie przygotowanego scenariusza wymian (na rys. 5 oznaczony jako mieszane – przypadek gorszy).

Zgrupowanie transakcji tej samej długości oznaczono na rys. 5 jako przypadek lepszy. W obu wariantach wskazano wpływ liczby portów szeregowych na czas trwania cyklu sieci przy komunikacji z 10 abonentami.

4. Wnioski

Analiza wyników symulacji przedstawionych na rys. 3 oraz rys. 4 pokazuje, że w przypadku rezygnacji z topologii magistrali na rzecz koncentratora z jedynie dwoma portami szeregowymi, następuje dwukrotne skrócenie czasu trwania cyklu sieci. Jest to wynikiem jednoczesnej komunikacji za pośrednictwem obu portów. Ponieważ czas trwania wszystkich zaplanowanych transakcji jest jednokowy, długość cyklu sieci zbudowanej z koncentratorom ($T_c(i)$) można obliczyć,

reklama

znając czas trwania cyklu sieci w topologii magistrali ($T_c(1)$) według wzoru (2). Przy założonej prędkości transmisji obciążenie wynikające z przełączania sieci połączeń oraz zarządzania pamięcią mikroprocesora jest znikome.

$$T_c(i) = \frac{T_c(1)}{i}, \quad i=2, 3, \dots \quad (2)$$

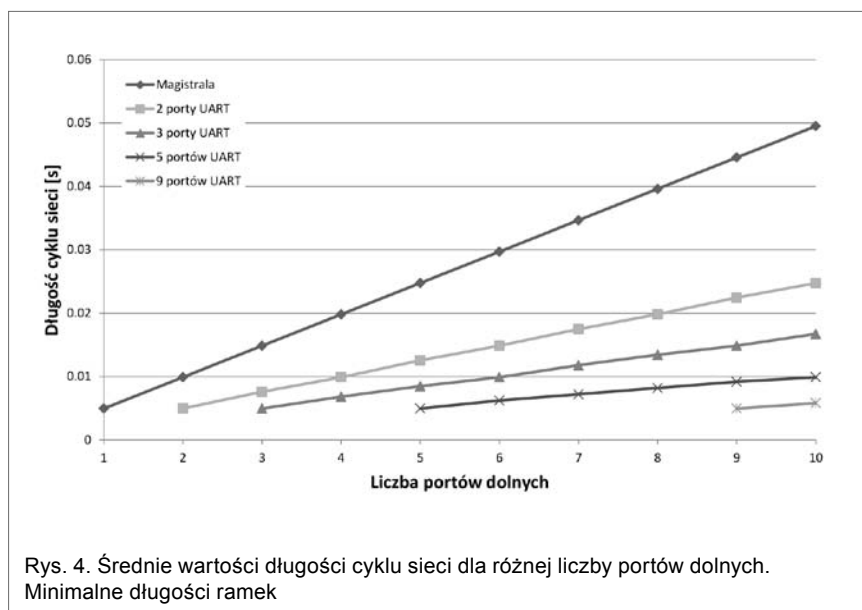
gdzie i to liczba portów szeregowych, natomiast T_c czas trwania cyklu sieci.

W rzeczywistym systemie węzły udostępniają różne ilości danych, z czego wynikają różnice w długości wymienianych z nimi ramek. Ponieważ koncentrator komunikuje się jednocześnie z kilkoma urządzeniami, według algorytmu, który przedstawiony został w rozdziale 2.3., niezbędne jest oczekiwanie na zakończenie najdłuższej z transakcji. Wyniki przedstawione na rys. 5 pokazują, że zastosowanie koncentratora, gdy scenariusz wymian zawiera naprzemiennie najdłuższe oraz najkrótsze możliwe ramki, generuje czas cyklu sieci o długości równej przypadkowi o samych najdłuższych ramkach. Przy zastosowaniu topologii magistrali T_c wyraźnie różni się w obu przypadkach.

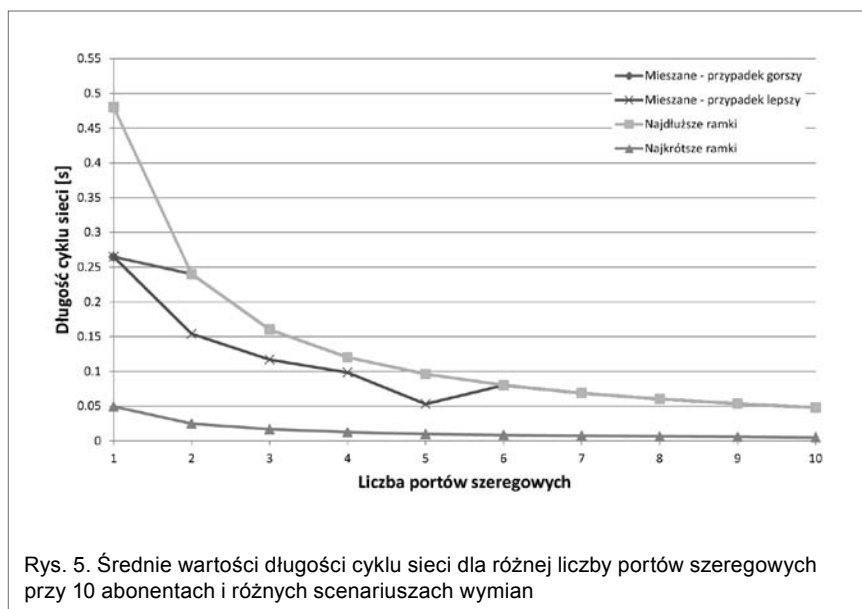
W przypadku topologii magistrali posortowanie scenariusza wymian względem czasu trwania transakcji nie zmienia wartości T_c . Zachowanie koncentratora jest natomiast trudne do przewidzenia. Przełączanie portów dolnych według zależności (1) powoduje jednoczesne rozpoczynanie transakcji o długich i krótkich ramkach. Podczas analizowanej symulacji do portów dolnych koncentratora podłączono 10 urządzeń. Pięć z nich udostępnia jeden rejestr, natomiast kolejne pięć 125 rejestrów. Użycie pięciu portów szeregowych powoduje jednoczesne przeprowadzanie transakcji tylko o równych czasach trwania. Mniejsza liczba portów powoduje czasem jednoczesne wystąpienie transakcji o różnych czasach trwania, większa natomiast gwarantuje, że jednocześnie wystąpią oba rodzaje transakcji.

Powyżej pięciu portów szeregowych występujących w koncentratorze, w systemie z 10 abonentami, zysk wynikający ze skrócenia długości czasu cyklu sieci jest znikomy. Należy ponadto zauważyć, że producenci układów scalonych dostarczają mikrokontrolery o określonej liczbie kontrolerów UART. W rodzinie STM32F1 jest ona ograniczona do trzech konfiguracji o liczebności przedstawionej na rys. 6.

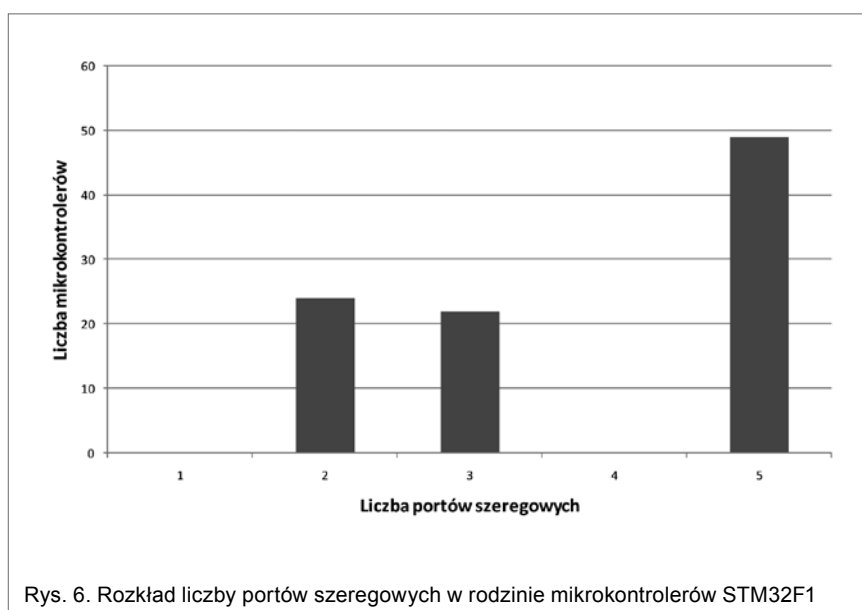
W przypadku konieczności zastosowania większej liczby kontrolerów UART rozwiązaniem jest stosowanie układów FPGA



Rys. 4. Średnie wartości długości cyklu sieci dla różnej liczby portów dolnych. Minimalne długości ramek



Rys. 5. Średnie wartości długości cyklu sieci dla różnej liczby portów szeregowych przy 10 abonentach i różnych scenariuszach wymian



Rys. 6. Rozkład liczby portów szeregowych w rodzinie mikrokontrolerów STM32F1

w miejsce sieci połączeń oraz implementacja w tej logice programowalnej bloków opisu sprzętu realizujących ich zadania. Opublikowany przez społeczność OpenCores.org blok Minimal UART Core zajmuje 64 elementy *slice* struktury Xilinx Spartan 3E, co w przypadku układu XC3S400 pozwala na uruchomienie 56 kontrolerów. Budowa wewnętrzna może zostać uproszczona poprzez zastosowanie układu FPGA, który eliminuje konieczność wykorzystania osobnego procesora, możliwa jest implementacja rdzenia bezpośrednio w logice programowalnej [4]. Na podobne uproszczenie pozwalają układy zawierające sprzętowy rdzeń mikroprocesora obudowany strukturą FPGA (seria Xilinx Zynq).

W artykule [5] przedstawiono inne podejście do elastycznego projektowania topologii sieci z użyciem gotowych urządzeń. Wykorzystanie łączności bezprzewodowej pozwoliło w prosty sposób połączyć węzły w topologii hierarchicznej. Użyte w tym celu bramy komunikują się z wieloma abonentami, posiadają jednak wyłącznie jeden interfejs bezprzewodowy oraz są przeznaczone dla protokołu Modbus. Nie magazynują zatem danych, co nadaje proponowanemu systemowi cechy magistrali.

5. Podsumowanie

Przeprowadzone badania pokazały, że zastosowanie koncentratora nawet z minimalną liczbą portów szeregowych skraca wyraźnie czas trwania cyklu sieci w stosunku do topologii magistrali. Podejście takie wymusza jednak na projektancie odpowiednie skonstruowanie scenariusza wymian i dopasowanie go do architektury wewnętrznej koncentratora. Rezygnując z systemu mikroprocesorowego na rzecz logiki programowalnej, konstruktor może znacznie zwiększyć liczbę portów szeregowych, jednak jak pokazały symulacje, nie zawsze przynosi to znaczący zysk. Przy wykorzystaniu symulacji komputerowej możliwe jest sprawdzenie działania sieci już na etapie jej projektowania, a środowisko Omnet++ pozwala na emulację zachowania dowolnych pracujących w niej urządzeń.

Literatura

- [1] Modbus application protocol specification v1.1b.
- [2] KWIECIEŃ A.: *Analiza przepływu informacji w komputerowych sieciach przemysłowych*. Pracownia Komputerowa Jacka Skalmierskiego, Gliwice 2000.
- [3] KLUK P.: *Wykorzystanie protokołu komunikacyjnego MODBUS RTU w urządzeniach EA Z bazujących na platformie ARM*. „Elektronika” 5/2007.
- [4] CUPEK R., PIĘKOŚ P., POZOBUTT M., ZIĘBIŃSKI A.: *FPGA Based „Intelligent Tap” Device for Real-Time Ethernet Network Monitoring*. [w:] KWIECIEŃ A., GAJ P., STERA P. (eds.): CN2010, CCIS 79, pp. 58–66. Springer, Heidelberg 2010.
- [5] GUARESE G., SIEBEN F., WEBBER T., DILLENBURG M., MARCON C.: *Exploiting Modbus Protocol in Wired and Wireless Multilevel Communication Architecture*. Computing System Engineering (SBESC), 2012 Brazilian Symposium, pp. 13,18, 5–7 Nov. 2012.